

(Translation)

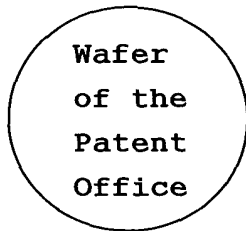
PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : September 24, 2002

Application Number : Patent Appln. No. 2002-278208

Applicant(s) : SHARP KABUSHIKI KAISHA



May 13, 2003

Shinichiro OTA

Commissioner,  
Patent Office

Seal of  
Commissioner  
of  
the Patent  
Office

Appln. Cert. No.

Appln. Cert. Pat. 2003-3036103

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月24日

出 願 番 号

Application Number:

特願2002-278208

[ ST.10/C ]:

[ JP 2002-278208 ]

出 願 人

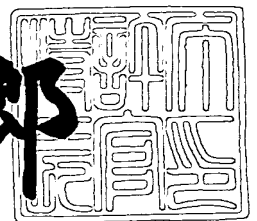
Applicant(s):

シャープ株式会社

2003年 5月13日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3036103

【書類名】 特許願

【整理番号】 02J03192

【提出日】 平成14年 9月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/36

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 田中 紀行

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 青木 俊也

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【選任した代理人】

【識別番号】 100062409

【弁理士】

【氏名又は名称】 安村 高明

【選任した代理人】

【識別番号】 100107489

【弁理士】

【氏名又は名称】 大塩 竹志

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208587

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データバス幅変換装置

【特許請求の範囲】

【請求項 1】 複数のビットグループ毎に分割されて時系列的に伝送されるデータバスのビット幅を変更するデータバス幅変換装置において、

複数の分割に対応したデータ伝送回数を設定可能とするとともに、何回目のデータ伝送かを示すデータ伝送回数に対応した分割ビットグループを設定可能とする伝送分割ビット設定手段と、

該伝送分割ビット設定手段からの複数の分割に対応したデータ伝送回数情報および該データ伝送回数毎の分割ビットグループ情報に基づいてサンプリング制御信号を出力するサンプリング制御信号発生手段と、

該サンプリング制御信号により該 N ビット幅のデータを該分割ビットグループ毎にそれぞれサンプリングするデータサンプリング手段と、

該データサンプリング手段からの該分割ビットグループ毎のデータを連続した N ビット幅のデータに変換して出力する出力制御手段と、

を有することを特徴とするデータバス幅変換装置。

【請求項 2】 前記サンプリング制御信号発生手段は、前記伝送分割ビット設定手段から出力される前記データ伝送回数を所定のタイミングで初期値から最大データ伝送回数まで繰り返して出力可能であるとともに、出力された該データ伝送回数と、該伝送分割ビット設定手段から出力された前記分割ビットグループ毎のデータ伝送回数とを比較して、両者が一致した場合に、サンプリング制御信号を出力する請求項 1 に記載のデータバス幅変換装置。

【請求項 3】 前記伝送分割ビット設定手段は、前記複数の分割に対応したデータ伝送回数を設定する第 1 のレジスタと、前記分割ビットグループ毎に何回目のデータ伝送でサンプリングするかを設定する第 2 のレジスタとを有している請求項 1 に記載のデータバス幅変換装置。

【請求項 4】 前記データバスからの入力を、データ書き込みアクセス時またはデータ読み込みアクセス時に行う請求項 1 に記載のデータバス幅変換装置。

【請求項 5】 前記サンプリング制御信号発生手段は、前記データ伝送回数

のカウンタ値が前記データ伝送回数の最大値に達した後に該データ伝送回数の初期値に戻るよう設定されたカウンタを有する請求項 2 に記載のデータバス幅変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多様なバスシステムにおけるデータバス幅変換装置に関し、特に、データバス幅の異なる CPU（ホストシステム）およびその周辺デバイス間におけるバスアクセスが可能であるデータバス幅変換装置に関する。

【0002】

【従来の技術】

Mビットのデータバス幅を有する CPU が、CPU と異なるデータバス幅（Nビット：M=Nを含む）を有する LSI（周辺デバイス）にアクセスする場合には、データバス幅のリサイズ（変更）を行うためのデータバス幅変換装置が必要となる。

【0003】

従来のデータバス幅変換装置の一例として、データバス幅のリサイズを行うためにメモリセルアレイ部を有し、キャッシュメモリあるいはローカルメモリとして使用する構成が特開平 4 - 7 6 8 9 0 号公報（特許文献 1）に開示されている。

【0004】

また、従来のデータバス幅変換装置の他の例として、データバス幅のリサイズを行うために Mビット幅のデータバスと Nビット幅のデータバスとの間にラッチ回路および出力制御回路とを備える構成が特開平 3 - 9 7 3 4 0 号公報（特許文献 2）および特開平 5 - 2 4 2 0 1 6 号公報（特許文献 3）に開示されている。

【0005】

【特許文献 1】

特開平 4 - 7 6 8 9 0 号公報（第 5 7 9 頁、第 1 図）

【特許文献 2】

特開平 3 - 9 7 3 4 0 号公報 (第 2 5 6 - 2 5 7 頁、第 1 - 2 図)

【特許文献 3】

特開平 5 - 2 4 2 0 1 6 号公報 (第 3 頁、第 1 図)

【0 0 0 6】

【発明が解決しようとする課題】

しかしながら、特開平 4 - 7 6 8 9 0 号公報、特開平 3 - 9 7 3 4 0 号公報および特開平 5 - 2 4 2 0 1 6 号公報に開示されている従来のデータバス幅変換装置では、データバス幅をリサイズする際に、Nビットのデータを転送するために必要なCPUからのアクセス回数、CPUとLSIとの間で対応するビット位置等がハードウェア的に固定されており、多様なバスシステムにおいて使用することが困難であるという問題を有している。

【0 0 0 7】

例えば、従来のCPU（ホストシステム）のデータバス幅は、過去の慣例により8の倍数のビット数（8ビット、16ビット、32ビット等）に設定されている。ところが、液晶モジュール等の多くの表示装置では、データバス幅が3の倍数のビット数（18ビット、24ビット等）となっていることがある。この理由は、表示装置の表示データがRED（赤）、GREEN（緑）、BLUE（青）の3つの色要素から構成されており、これらの3つの色要素のビット幅を等しくすることによって、3の倍数のビット数になるからである。

【0 0 0 8】

ここで、8ビットのデータバス幅を有するCPUに18ビットのデータバス幅を有する液晶モジュールを接続し、液晶モジュールの有する表示能力を最大限に生かす場合には、CPUから液晶モジュールに18ビットのデータを完全に伝達することが必要である。この場合、CPUのデータバス幅は8ビットであるから、CPUから液晶モジュールにデータを伝達するには、最低でも18ビットのデータを三つに分割する必要がある。18ビットのデータの分割パターンは、8-8-2の分割パターン、6-6-6の分割パターン、5-6-7の分割パターン等のいろいろな分割パターンが考えられる。

【0 0 0 9】

また、上記 18 ビットのデータの 3 回の分割回数は、最低限必要な分割回数であり、CPU 側の何らかの理由により、分割回数が 3 回より多くなる場合（例えば、C 回： $C \geq 3$ ）も考えられる。

#### 【0010】

このように、従来のデータバス幅変換装置では、上記 18 ビットのデータの分割パターンおよび分割回数がハードウェア的に固定されており、このような CPU インターフェースを LSI 化した場合、分割パターンおよび分割回数は LSI の設計時に固定されてしまい、使用する LSI の選択が制限されるとともに、CPU 側でのソフト処理等が必要となる。

#### 【0011】

本発明は、このような課題を解決するものであり、その目的は、CPU 側（ホストシステム）から LSI（周辺デバイス）側にデータ書き込みおよびデータ読み出しのアクセスを行う場合に、データバス幅のリサイズが任意に設定できるデータバス幅変換装置を提供することにある。

#### 【0012】

##### 【課題を解決するための手段】

本発明のデータバス幅変換装置は、複数のビットグループ毎に分割されて時系列的に伝送されるデータバスのビット幅を変更するデータバス幅変換装置において、複数の分割に対応したデータ伝送回数を設定可能とするとともに、何回目のデータ伝送かを示すデータ伝送回数に対応した分割ビットグループを設定可能とする伝送分割ビット設定手段と、伝送分割ビット設定手段からの複数の分割に対応したデータ伝送回数情報およびデータ伝送回数毎の分割ビットグループ情報に基づいてサンプリング制御信号を出力するサンプリング制御信号発生手段と、サンプリング制御信号により N ビット幅のデータを分割ビットグループ毎にそれぞれサンプリングするデータサンプリング手段と、データサンプリング手段からの分割ビットグループ毎のデータを連続した N ビット幅のデータに変換して出力する出力制御手段と、を有するものであり、そのことにより上記目的が達成される。

#### 【0013】



また、好ましくは、本発明のデータバス幅変換装置において、サンプリング制御信号発生手段は、伝送分割ビット設定手段から出力されるデータ伝送回数を所定のタイミングで初期値から最大データ伝送回数まで繰り返して出力可能であるとともに、出力されたデータ伝送回数と、伝送分割ビット設定手段から出力された分割ビットグループ毎のデータ伝送回数とを比較して、両者が一致した場合に、サンプリング制御信号を出力する。

## 【 0 0 1 4 】

さらに、好ましくは、本発明のデータバス幅変換装置において、伝送分割ビット設定手段は、前記複数の分割に対応したデータ伝送回数を設定する第1のレジスタと、前記分割ビットグループ毎に何回目のデータ伝送でサンプリングするかを設定する第2のレジスタとを有している。

## 【 0 0 1 5 】

さらに、好ましくは、本発明のデータバス幅変換装置は、データバスからの入力を、データ書き込みアクセス時またはデータ読み込みアクセス時に行う。

## 【 0 0 1 6 】

さらに、好ましくは、本発明のデータバス幅変換装置において、サンプリング制御信号発生手段は、データ伝送回数のカウント値がデータ伝送回数の最大値に達した後にデータ伝送回数の初期値に戻るよう設定されたカウンタを有する。

## 【 0 0 1 7 】

上記構成により、以下、その作用を説明する。

## 【 0 0 1 8 】

本発明のデータバス幅変換装置は、複数の分割に対応したデータ伝送回数を設定可能とするとともに、何回目のデータ伝送かを示すデータ伝送回数に対応した分割ビットグループを設定可能とする伝送分割ビット設定手段を有する制御回路が設けられていることにより、Mビット幅のデータバスを有するCPUがNビット幅のデータバス（ $M=N$ を含む）を有する周辺デバイスにアクセスする場合、CPUからのデータ書き込み（またはLSIからCPUへのデータ読み出し）アクセスの回数およびデータバス信号の各ビット位置がハードウェア的に固定されることなく、多様なバスシステムにおいて、CPUのデータバスのMビット幅を

L S I のデータバスのNビット幅にデータバス幅のリサイズが任意に設定できる。

【0019】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態を説明する。

【0020】

図1は、本発明の実施形態であるデータバス幅変換装置が設けられた、CPU（ホストシステム）およびLSI（周辺デバイス）のインターフェース部の接続状態の一例を示す結線図である。

【0021】

図1に示すCPU（ホストシステム）および液晶モジュール等の表示装置をコントロールするLSI（周辺デバイス）のインターフェース部の接続状態は、8ビットのデータバス幅を備えたCPU10、18ビットのデータバス幅を備えたLSI11およびCPU10とLSI11とのインターフェース部同士を接続する結線部12を有している。

【0022】

CPU10のインターフェース部のデータバスの端子D0～D7およびデータ書き込み信号NWR用端子は、LSI11のインターフェース部のデータバスの端子DB0～DB17およびデータ書き込み信号NWR用端子とそれぞれ結線部12を介して接続されている。

【0023】

結線部12では、CPU10のデータバスの端子D7とLSI11のデータバスの端子D17、DB9およびDB1とが接続されており、以下、同様にCPU10のデータバスの端子D6とLSI11のデータバスの端子DB16、DB8およびDB0とが接続され、CPU10のデータバスの端子D5とLSI11のデータバスの端子DB15、DB7とが接続され、CPU10のデータバスの端子D4とLSI11のデータバスの端子DB14、DB6とが接続され、CPU10のデータバスの端子D3とLSI11のデータバスの端子DB13、DB5とが接続され、CPU10のデータバスの端子D2とLSI11のデータバスの

端子DB12、DB4とが接続され、CPU10のデータバスの端子D1とLSI11のデータバスの端子DB11、DB3とが接続され、CPU10のデータバスの端子D0とLSI11のデータバスの端子DB10、DB2とが接続されている。そして、CPU10のデータ書き込み信号NWR用端子は、LSI11のデータ書き込み信号NWR用端子と接続されている。

【0024】

ここで、図1に示す8ビットのデータバス幅を備えたCPU10のインターフェース部に18ビットのデータバス幅を備えたLSI11のインターフェース部を接続する接続状態は、18ビットのデータを三つに分割して分割ビットグループ毎に伝達する必要があるため、18ビットのデータの分割パターンの一例として、DB17端子の17ビット目からDB10端子の10ビット目までの8ビットを一つ目の分割、DB9端子の9ビット目からDB2端子の2ビット目までの8ビットを二つ目の分割、DB1端子の1ビット目からDB0端子の0ビット目までの2ビットを三つ目の分割とする8-8-2の分割パターンによって接続されている。

【0025】

図2は、図1に示すLSI11のインターフェース部において、CPU10のデータバスの8ビット幅をLSI11のデータバスの18ビット幅に、データバス幅のリサイズ（変更）を行う本発明のデータバス幅変換装置の構成を表すブロック図である。

【0026】

図2に示すデータバス幅変換装置は、CPU10に接続された18ビット幅のデータバス20から出力される18ビット幅のデータのデータバス幅のリサイズを行う制御回路21と、データバス20の各ビット情報を記録するフリップフロップ（FF）またはラッチ22と、制御回路21によってデータバス幅がリサイズされた18ビット幅のデータをLSI11内部に伝送する出力制御回路23とを有している。そして、出力制御回路23から出力されるデータをLSI内部回路24が受け取る。

【0027】

図 3 は、図 2 に示すデータバス幅変換装置に含まれる制御回路 2 1 の構成を示すブロック図である。

#### 【 0 0 2 8 】

図 3 に示す制御回路 2 1 は、18ビット幅のデータをサンプリングする際に CPU 1 0 から L S I 1 1 へのデータ伝送であるデータ書き込みアクセスの全回数（データ伝送回数の最大値）を任意に設定する第 1 のレジスタ（以下、レジスタ  $\alpha$  と記載する）と、18ビット幅のデータの各ビットに対応する各データバス信号が何回目のデータ伝送であるデータ書き込みアクセスで分割ビットグループ毎にサンプリングされるかを設定する第 2 のレジスタ（以下、レジスタ  $\beta$  と記載する）とを格納する伝送分割ビット設定手段であるレジスタブロック 3 0 とを有している。さらに、この制御回路 2 1 は、レジスタブロック 3 0 から出力されるデータ伝送回数を所定のタイミングで初期値から上記データ伝送回数の最大値まで繰り返して出力可能であるとともに、出力されたデータ伝送回数と、レジスタブロック 3 0 から出力された分割ビットグループ毎のデータ伝送回数とを比較して、両者が一致した場合に、データ伝送回数に対応した分割ビットグループ情報に基づいてサンプリング制御信号を出力するサンプリング制御信号発生手段 3 4 を有している。そして、この制御回路 2 1 は、サンプリング制御信号により 18ビット幅のデータのデータバス信号 DB [ 1 7 : 0 ] をそれぞれ分割ビットグループ毎にサンプリングするサンプリング回路が 18ビット幅のデータバス信号の各ビット毎に設けられたデータサンプリング手段であるサンプリング部 3 3 とを有している。ここで、サンプリング制御信号発生手段 3 4 は、CPU 1 0 からの第 1 データ伝送信号であるデータ書き込み信号 NWR に同期してデータバス信号をサンプリングする際のデータ書き込みストロークの回数を出力するカウンタ 3 1 と、レジスタブロック 3 0 からの 18ビット幅のデータバス信号に対応して設定されたレジスタ値とカウンタ 3 1 からのデータ書き込みストロークの回数のカウンタ値とを比較するコンペアが 18ビット幅のデータバス信号の各ビット毎に設けられたコンペア部 3 2 とを有している。

#### 【 0 0 2 9 】

そして、サンプリング部 3 3 から各ビットに対応するそれぞれのデータバス信

号DB [17:0] がフリップフロップまたはラッチ22を介して出力制御手段である出力制御回路23に出力される。また、カウンタ31からは、第2データ伝送信号であるデータ書き込み信号Wが出力制御回路23に出力され、出力制御回路23は、データ書き込み信号Wに同期して、分離ビットグループ毎の18ビット幅のデータをリサイズされ連続した18ビット幅のデータに変換しLSI内部回路24に伝送する。

【0030】

次に、図3に示す制御回路21のレジスタブロック30に設けられているレジスタ $\alpha$ とレジスタ $\beta$ との構成例を表1に示す。レジスタ $\alpha$ は、MCBおよびMCAレジスタであり、レジスタ $\beta$ は、M0BおよびM0Aレジスタ～M17BおよびM17Aレジスタである。ここで、表1のMWB0～MWB5は、それぞれ8ビットのレジスタブロックを表している。

【0031】

表1では、18本の各データバス信号に対応して設けられているレジスタ $\beta$ および18ビット幅のデータバス信号の分離ビットグループ毎のサンプリング回数を指定するレジスタ $\alpha$ がそれぞれ2ビットで構成されている。MCBおよびMCAレジスタは、それぞれMWB0のbit1およびbit0に格納されており、M0AおよびM0Bレジスタ～M17AおよびM17Bレジスタは、MWB1のbit0からMWB5のbit3まで、順番に格納されている。また、表1内のXは、Don't Careを示し、何の影響も与えないビットである。

【0032】

【表1】

NAME	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
MWB0	X	X	X	X	X	X	MCB	MCA
MWB1	M3B	M3A	M2B	M2A	M1B	M1A	M0B	M0A
MWB2	M7B	M7A	M6B	M6A	M5B	M5A	M4B	M4A
MWB3	M11B	M11A	M10B	M10A	M9B	M9A	M8B	M8A
MWB4	M15B	M15A	M14B	M14A	M13B	M13A	M12B	M12A
MWB5	X	X	X	X	M17B	M17A	M16B	M16A

表 1 の MWB 1 ～ MWB 5 に記載の M \* B および M \* A レジスタの \* 部分には 0 ～ 1 7 の数字が書かれている。この数字は、1 8 本の各データバスの各ビットに対応する設定レジスタ(レジスタ  $\beta$ )であることを示している。M \* B および M \* A レジスタの設定値は、1 8 本の各データバスに対応するそれぞれのデータバス信号が何回目のデータ書き込みストローブでサンプリングされるかを示している。

【 0 0 3 3 】

表 2 は、1 8 本の各データバス信号に対応して設けられている M \* B および M \* A レジスタの設定値とサンプリングタイミングを示している。

【 0 0 3 4 】

M \* B および M \* A レジスタの設定値が M \* B = M \* A = 0 であれば、1 回目のデータ書き込みストローブによってサンプリングされ、M \* B = 0 および M \* A = 1 であれば、2 回目のデータ書き込みストローブによってサンプリングされ、M \* B = 1 および M \* A = 0 であれば、3 回目のデータ書き込みストローブによってサンプリングされ、M \* B = 1 および M \* A = 1 であれば、4 回目のデータ書き込みストローブによってサンプリングされることを示している。

【 0 0 3 5 】

また、MWB 0 の b i t 1 および b i t 0 にそれぞれ格納されている MCB および MCA レジスタは、所定の N ビット幅(本実施形態では 1 8 ビット幅)のデータバス信号を 1 回サンプリングする際のデータ書き込みアクセスの全回数(データ伝送回数の最大値)を示している。MCB および MCA レジスタの設定値およびデータ書き込みアクセスの回数は、M \* B および M \* A レジスタの設定値およびデータ書き込みアクセスの回数と同様に設定される。

【 0 0 3 6 】

【表 2】

M*B	M*A	サンプリング
0	0	1
0	1	2
1	0	3
1	1	4

MCBおよびMCAレジスタは、LSI内部のホストインターフェースがデータバス上の例えば18ビット幅のデータバス信号をサンプリングする場合、何回のデータ書き込みストロークによって1回のサンプリングを実施するかを指定する。また、18ビット幅のデータバス信号は、M\*BおよびM\*Aレジスタで指定されるデータ書き込みストロークの回数によって各ビットに対応するデータバス信号に印加されている信号レベルをサンプリングされる。

【0037】

表3には、表2に示したレジスタαおよびレジスタβの設定値（レジスタ値）の一例を示す。ここで、CPU10の8ビット幅のデータをLSI11の18ビット幅のデータに変換するためには、18ビット幅のデータを8（17ビット目から10ビット目）－8（9ビット目から2ビット目）－2（1ビット目および0ビット目）の分割パターンのように三つに分割して、それぞれの分割ビットグループ毎に8ビット幅のデータに対応させる必要がある。

【0038】

このため、18ビット幅のデータをサンプリングする際にCPU10からの8ビット幅のデータのデータ書き込みアクセスの全回数は、3回となりレジスタαであるMCBおよびMCAレジスタの設定値が、表2よりM\*B=1およびM\*A=0（\*=C）となる。これにより、MCB=1およびMCA=0の設定値がそれぞれ表3のMWB0のbit1およびbit0にそれぞれ設定される。

【0039】

次に、一回目のデータ書き込みストロークによってサンプリングされる18ビットのデータ列（分離ビットグループ）は、17ビット目から10ビット目となり、レジスタβであるM17BおよびM17Aレジスタ～M10BおよびM10

Aレジスタの設定値が表2より $M * B = M * A = 0$  ( $* = 10 \sim 17$ )となる。  
これにより、M17BおよびM17Aレジスタ～M10BおよびM10Aレジスタの設定値は、表3のMWB5のbit3およびbit2からMWB3のbit5およびbit4まで順番に設定される。

【0040】

次に、二回目のデータ書き込みストローブによってサンプリングされる18ビットのデータ列（分離ビットグループ）は、9ビット目から2ビット目となり、レジスタβであるM9BおよびM9Aレジスタ～M2BおよびM2Aレジスタの設定値が表2より $M * B = 0$ および $M * A = 1$  ( $* = 2 \sim 9$ )となる。これにより、M9BおよびM9Aレジスタ～M2BおよびM2Aレジスタの設定値は、表3のMWB3のbit3およびbit2からMWB1のbit5およびbit4まで順番に設定される。

【0041】

次に、三回目のデータ書き込みストローブによってサンプリングされる18ビットのデータ列（分離ビットグループ）は、1ビット目および0ビット目となり、レジスタβであるM1BおよびM1Aレジスタ、M0BおよびM0Aレジスタの設定値が表2より $M * B = 1$ および $M * A = 0$  ( $* = 0, 1$ )となる。これにより、M1BおよびM1Aレジスタ、M0BおよびM0Aレジスタの設定値は、表3のMWB1のbit3およびbit2からMWB1のbit1およびbit0まで順番に設定される。

【0042】

表3に示すように、本実施形態では、MCBおよびMCAレジスタの設定値が $MCB = 1$ および $MCA = 0$ であるから、表2より3回のデータ書き込みストローブによって、18ビット幅のデータバス信号の1回のデータ書き込みサイクルが完了することを示している。

【0043】



【表 3】

NAME	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
MWB0	X	X	X	X	X	X	1	0
MWB1	0	1	0	1	1	0	1	0
MWB2	0	1	0	1	0	1	0	1
MWB3	0	0	0	0	0	1	0	1
MWB4	0	0	0	0	0	0	0	0
MWB5	X	X	X	X	0	0	0	0

次に、レジスタ $\alpha$ およびレジスタ $\beta$ の設定値（レジスタ値）を、表3に示すように設定した場合の本発明のデータバス幅変換装置の動作を図1、図2および図3を用いて説明する。

【0044】

前述のように、図1に示す8ビットのデータバス幅を備えたCPU10のインターフェース部に18ビットのデータバス幅を備えたLSI11のインターフェース部を接続する接続状態は、8-8-2の分割パターンによって接続されている。

【0045】

CPU10から8ビットデータが出力されると、その8ビットデータは、図2に示すデータバス幅変換装置の18ビット幅のデータバス20に入力される。ここで、CPU10から出力されるデータは、例えば8ビット-8ビット-2ビットのような分割パターンにより、それぞれ分割ビットグループである信号DT1-0、DT1-1およびDT1-2（各8ビットデータ）として出力される。尚、信号DT1-2は、8ビットの内2ビット分しか使用していない。18ビット幅のデータバス20から出力される18ビットデータは、データ書き込み信号NWRと同期して制御回路21に入力される。

【0046】

データ書き込み信号NWRは、図3に示す制御回路21内のカウンタ31に入力され、カウンタ31は、データ書き込み信号NWRに基づいて（同期して）データバス信号をサンプリングする際のデータ書き込みストローブの回数をカウン

トする。また、制御回路21にはレジスタブロック30が設けられており、18ビット幅のデータの各ビットに相当するデータバス信号が、CPU10から何回目のデータ書き込みアクセスによってサンプリングされるかを設定するレジスタ $\beta$ が格納されている。

## 【0047】

レジスタブロック30は、18ビット幅のデータの各ビットに相当するデータバス信号に対応して設定されたデータ書き込みストローブの回数を表すレジスタ値を、カウンタ31およびコンペア部32に出力する。カウンタ31は、データ書き込み信号NWRに基づいてデータバス信号をサンプリングする際のデータ書き込みストローブの回数をカウントしたカウンタ値をコンペア部32に出力する。

## 【0048】

コンペア部32は、各レジスタ $\beta$ に対応して設けられた18個の各コンペアにおいて、レジスタブロック30からの設定されたデータ書き込みストローブの回数を表すレジスタ値と、カウンタ31からのカウントされたデータ書き込みストローブの回数を表すカウンタ値とを比較する。これらのレジスタ値とカウンタ値とが一致すると、コンペア部32のレジスタ値とカウンタ値とが一致したコンペアからサンプリング制御信号が、サンプリング部33の18ビット幅のデータの所定ビットに対応して設けられたサンプリング回路に出力される。

## 【0049】

サンプリング部33には、18ビット幅のデータバス信号DB[17:0]が入力され、各データバス信号DB[17:0]は、それぞれのビットに対応して設けられた18個のサンプリング回路に入力される。

## 【0050】

コンペア部32の各レジスタ $\beta$ に対応したコンペアからのサンプリング制御信号を受け取ったサンプリング部33のデータバス信号DB[17:0]の所定ビット目に対応したサンプリング回路は、そのサンプリング制御信号に基づいて所定ビット目のデータバス信号DB[17:0]をサンプリングし、フリップフロップまたはラッチ回路22に出力する。例えば、サンプリング部33の17ビッ

ト目のサンプリング回路では、レジスタ $\beta$ の設定値が表2および3より $M17B = M17A = 0$ であるから、データ書き込みサイクルにおいて、1回のデータ書き込みストロブによってデータバス信号 $DB17$ がサンプリングされ、17ビット目のサンプリング回路の出力端子である $DB17$ 端子よりフリップフロップまたはラッチ回路22に出力される。

【0051】

フリップフロップまたはラッチ回路22は、各データバス信号 $DB[17:0]$ の各ビット情報を記録しており、データ書き込み信号 $NWR$ に同期して、分割ビットグループの各ビットに対するデータバス信号をサンプリングし、そのデータバス信号を出力制御回路23に出力する。

【0052】

また、カウンタ31では、データ書き込み信号 $NWR$ が入力されると、データバス信号をサンプリングする際のデータ書き込みストロブの回数をカウントし、このカウントされたカウンタ値が18ビット幅のデータをサンプリングする際の $CPU10$ からのデータ書き込みアクセスの回数を設定する $MCB$ および $MCA$ レジスタのレジスタ値（本実施形態ではデータ書き込みアクセスの回数が3回であるから“10”）に達した後に、カウンタ値は初期値（例えば、“00”）に戻る。さらに、カウンタ31は、リサイズされた18ビット幅のデータを $LSI$ 内部回路24に出力するためのデータ書き込み信号 $W$ を出力制御回路23に出力する。

【0053】

$CPU10$ から8ビット幅のデータを3回のデータ読み出しアクセスによって分離ビットグループ毎にサンプリングされたデータは、このデータ書き込み信号 $W$ に基づいて、連続した18ビット幅のデータとして $LSI11$ の $LSI$ 内部回路24のレジスタおよびメモリ等のブロックに書き込まれる。

【0054】

このように、本発明のデータバス幅変換装置は、制御回路21に $N$ ビット幅のデータをサンプリングする際の $CPU10$ からのデータ書き込みアクセスの全回数を設定するレジスタ $\alpha$ と、 $N$ ビット幅のデータの所定ビットに対応するデータ

バス信号を何回目のデータ書き込みアクセスでサンプリングするかを設定するレジスタ $\beta$ とが設けられていることにより、Mビット幅のデータバスを有するCPU10がNビット幅のデータバス（M=Nを含む）を有する周辺デバイスであるLSI11にアクセスする場合、CPU10からのデータ書き込み（またはLSI11からCPU10へのデータ読み出し）アクセスの回数およびデータバス信号の分離ビットグループが、ハードウェア的に固定されることなく、多様なバスシステムにおいてデータバス幅のリサイズが任意に設定できる。

## 【0055】

図4は、本発明のデータバス幅変換装置の動作における各信号のタイミングチャートである。

## 【0056】

まず、CPU10から8ビットのデータバス信号D[7:0]が、データ書き込み信号NWRに同期して出力され、結線部12を介してLSI11の18ビット幅のデータバス20に入力される。データバス信号D[7:0]は、例えば、LSI11の18ビットのデータバス幅の17ビット目から10ビット目に対応するデータDT1-0、LSI11のデータバス幅の9ビット目から2ビット目に対応するデータDT1-1、LSI11のデータバス幅の1ビット目および0ビット目に対応するデータDT1-2のように三つの分離ビットグループとして出力される。尚、LSI11のデータバス幅の1ビット目および0ビット目に対応するデータDT1-2は、8ビットのうち2ビット分しか使用していない。

## 【0057】

次に、データDT1-0、DT1-1およびDT1-2は、18ビット幅のデータバス20から制御回路21のサンプリング部33に入力される。

## 【0058】

制御回路21では、レジスタブロック30のレジスタ $\alpha$ およびレジスタ $\beta$ によって、データDT1-0、DT1-1およびDT1-2のサンプリング条件が設定される。すなわち、MC[B:A]=10は、3回のデータ書き込みストローブによって、18ビット幅のデータバス信号が1回サンプリングされることを示す。M17[B:A]=00~M10[B:A]=00は、データDT1-0が

1 回目のデータ書き込みストロークによって、1 7 ビット目～1 0 ビット目にサンプリングされることを示す。M 9 [ B : A ] = 0 1 ～M 2 [ B : A ] = 0 1 は、データ D T 1 - 1 が 2 回目のデータ書き込みストロークによって、9 ビット目～2 ビット目にサンプリングされることを示す。M 1 [ B : A ] = 1 0 および M 0 [ B : A ] = 1 0 は、データ D T 1 - 2 が 3 回目のデータ書き込みストロークによって、1 ビット目～0 ビット目にサンプリングされることを示す。

【 0 0 5 9 】

次に、データ D T 1 - 0、D T 1 - 1 および D T 1 - 2 に対するデータ書き込みストロークの回数は、カウンタ 3 1 によってカウンタ値 0 0、0 1 および 1 0 としてカウントされる。このカウンタ値が上記のレジスタ  $\beta$  の設定値と一致すると、データ D T 1 - 0、D T 1 - 1 および D T 1 - 2 は、それぞれサンプリング部 3 3 の 1 8 ビット幅のデータの所定ビットに対応して設けられたサンプリング回路にてそれぞれサンプリングされる。

【 0 0 6 0 】

例えば、データ D T 1 - 0 は、データ D T 1 - 0 [ 7 ] ～データ D T 1 - 0 [ 0 ] としてサンプリングされ、それぞれサンプリング部 3 3 の D B 1 7 端子～D B 1 0 端子からフリップフロップまたはラッチ 2 2 に出力される。同様に、データ D T 1 - 1 は、データ D T 1 - 1 [ 7 ] ～データ D T 1 - 1 [ 0 ] としてサンプリングされ、それぞれサンプリング部 3 3 の D B 9 端子～D B 2 端子からフリップフロップまたはラッチ 2 2 に出力され、データ D T 1 - 2 は、データ D T 1 - 2 [ 7 ] ～データ D T 1 - 2 [ 6 ] としてサンプリングされ、それぞれサンプリング部 3 3 の D B 1 端子～D B 0 端子からフリップフロップまたはラッチ 2 2 に出力される。尚、上記 [ 7 ] ～[ 0 ] は、C P U 1 0 の D 7 端子～D 0 端子から出力される 8 ビットデータの 7 ビット目～0 ビット目に対応する。

【 0 0 6 1 】

次に、フリップフロップまたはラッチ 2 2 は、データ書き込み信号 N W R に同期して、データ D T 1 - 0 [ 7 ] ～データ D T 1 - 0 [ 0 ]、データ D T 1 - 1 [ 7 ] ～データ D T 1 - 1 [ 0 ] およびデータ D T 1 - 2 [ 7 ] ～データ D T 1 - 2 [ 6 ] を出力制御回路 2 3 に出力する。

【 0 0 6 2 】

そして、出力制御回路 2 3 は、カウンタ 3 1 からのデータ書き込み信号 W に同期して、それぞれ分離ビットグループであるデータ DT 1 - 0 [ 7 ] ~ データ DT 1 - 0 [ 0 ] 、データ DT 1 - 1 [ 7 ] ~ データ DT 1 - 1 [ 0 ] およびデータ DT 1 - 2 [ 7 ] ~ データ DT 1 - 2 [ 6 ] を連続した 1 8 ビット幅のデータバス信号であるデータ DT 1 にリサイズし、LSI 内部回路 2 4 に出力する。

【 0 0 6 3 】

ここで、本実施形態では、1 8 ビット幅のデータバス信号の各ビットに対して設けられているレジスタ  $\beta$  および 1 8 ビット幅のデータバス信号のサンプリング回数を指定するレジスタ  $\alpha$  を、それぞれ 2 ビットで構成しているが、レジスタ  $\alpha$  およびレジスタ  $\beta$  のビット幅を変えることによって、N ビット幅のデータバス信号をサンプリングする際の CPU からのデータ書き込みアクセスの全回数（例えば、C 回の分割）と、N ビット幅のデータバス信号の各ビットに対応するデータバス信号が何回目のデータ書き込みアクセスで与えられた信号状態をサンプリングするかを自由に決定する事が可能となる。

【 0 0 6 4 】

これにより、M ビットのデータバス幅を持つ CPU と N ビットのデータバス幅を持つ周辺デバイスとを接続する場合でも、両者間の結線状態をハードウェア的に制限される事なく自由に決定する事が可能となる。

【 0 0 6 5 】

さらに、本実施形態では、CPU からのデータ書き込みアクセス時のデータバス幅変換の一例を示したが、上記データ書き込みアクセス時のデータバス幅変換の逆のシーケンスを利用して、周辺デバイスから CPU へのデータ読み出しアクセス時に N ビット幅のデータを M ビット幅のデータに分割して出力するデータバス幅変換にも使用が可能となる。

【 0 0 6 6 】

さらに、本実施形態では、M ビット幅のデータバスを有する CPU（ホストシステム）が N ビット幅のデータバス（M = N を含む）を有する LSI（周辺デバイス）をアクセスする場合、データバス幅のリサイズする際に、CPU からのデ

ータ書き込み（またはLSIからCPUへのデータ読み出し）アクセスの回数およびデータバス信号の各ビット位置が、ハードウェア的に固定されることなく、多様なバスシステムにおいて任意に設定することが可能となる。

#### 【0067】

さらに、本実施形態では、Mビット幅のデータバスを有するCPU（ホストシステム）がNビット幅のデータバス（M=Nを含む）を有するLSI（周辺デバイス）をアクセスする場合、データバス幅のリサイズする際に、Nビット幅のデータバス信号の分割パターンおよび分割回数が固定されていないため、ハードウェア的にLSI側のビット幅の切り替え等を不要にすることができ、使用するLSIの選択が制限されなくなるとともに、CPU側におけるソフトによる処理等も不要になるため、CPUに対する負荷を低減することも可能となる。

#### 【0068】

尚、本実施形態では、CPU10からLSI11にデータを伝達するための18ビットのデータ分割パターンは、8-8-2の分割パターンであるが、本発明は、これに限定されるものではない。すなわち、データ分割パターンとして、6-6-6の分割パターン、5-6-7の分割パターン等の分割パターンであっても良い。

#### 【0069】

##### 【発明の効果】

本発明のデータバス幅変換装置は、複数の分割に対応したデータ伝送回数を設定可能とするとともに、何回目のデータ伝送かを示すデータ伝送回数に対応した分割ビットグループを設定可能とする伝送分割ビット設定手段と、伝送分割ビット設定手段からの複数の分割に対応したデータ伝送回数情報およびデータ伝送回数毎の分割ビットグループ情報に基づいてサンプリング制御信号を出力するサンプリング制御信号発生手段と、サンプリング制御信号によりNビット幅のデータを分割ビットグループ毎にそれぞれサンプリングするデータサンプリング手段と、データサンプリング手段からの分割ビットグループ毎のデータを連続したNビット幅のデータに変換して出力する出力制御手段と、を有することによって、CPU側（ホストシステム）からLSI（周辺デバイス）側にデータ書き込みおよ

びデータ読み出しのアクセスを行う場合に、データバス幅のリサイズが任意に設定できる。

【図面の簡単な説明】

【図 1】

本発明の実施形態であるデータバス幅変換装置が設けられた、CPUおよびLSIのインターフェース部の接続状態の一例を示す結線図である。

【図 2】

図 1 に示す L S I のインターフェース部において、データバス幅のリサイズ（変更）を行う本発明のデータバス幅変換装置の構成を表すブロック図である。

【図 3】

図 2 に示すデータバス幅変換装置に含まれる制御回路の構成を示すブロック図である。

【図 4】

本発明のデータバス幅変換装置の動作における各信号のタイミングチャートである。

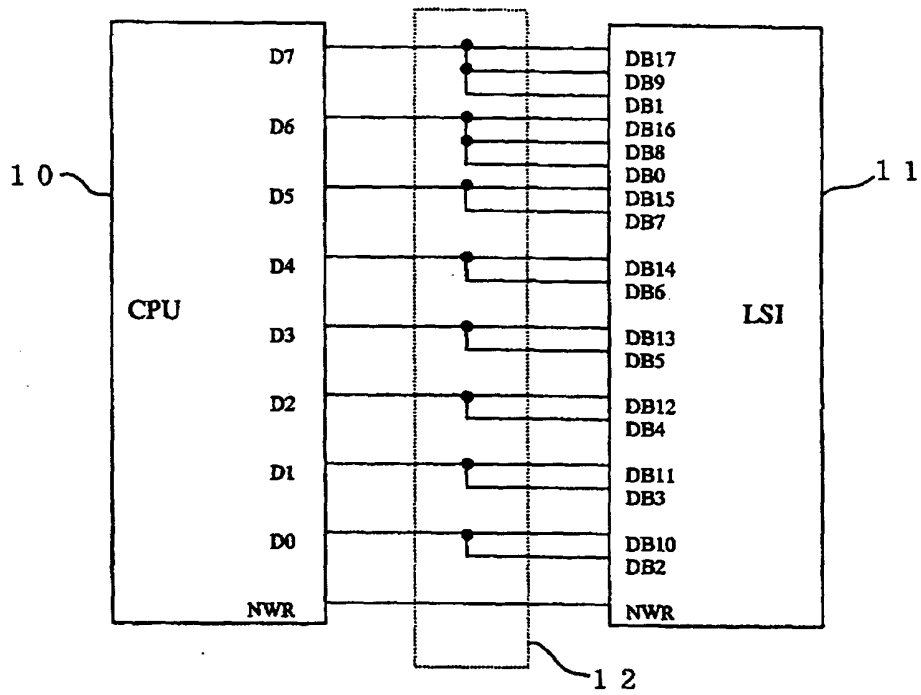
【符号の説明】

- 1 0 CPU
- 1 1 L S I
- 1 2 結線部
- 2 0 1 8 ビット幅のデータバス
- 2 1 制御回路
- 2 2 フリップフロップまたはラッチ回路
- 2 3 出力制御回路
- 2 4 L S I 内部回路
- 3 0 レジスタブロック
- 3 1 カウンタ
- 3 2 コンペア部
- 3 3 サンプリング部
- 3 4 サンプリング制御信号発生手段

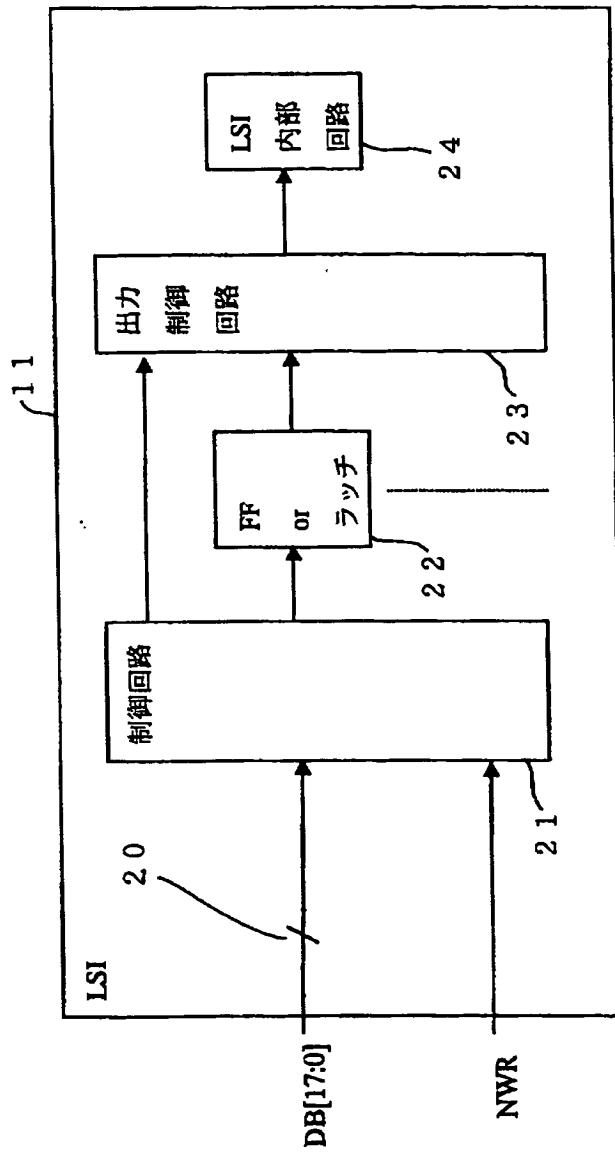


【書類名】 図面

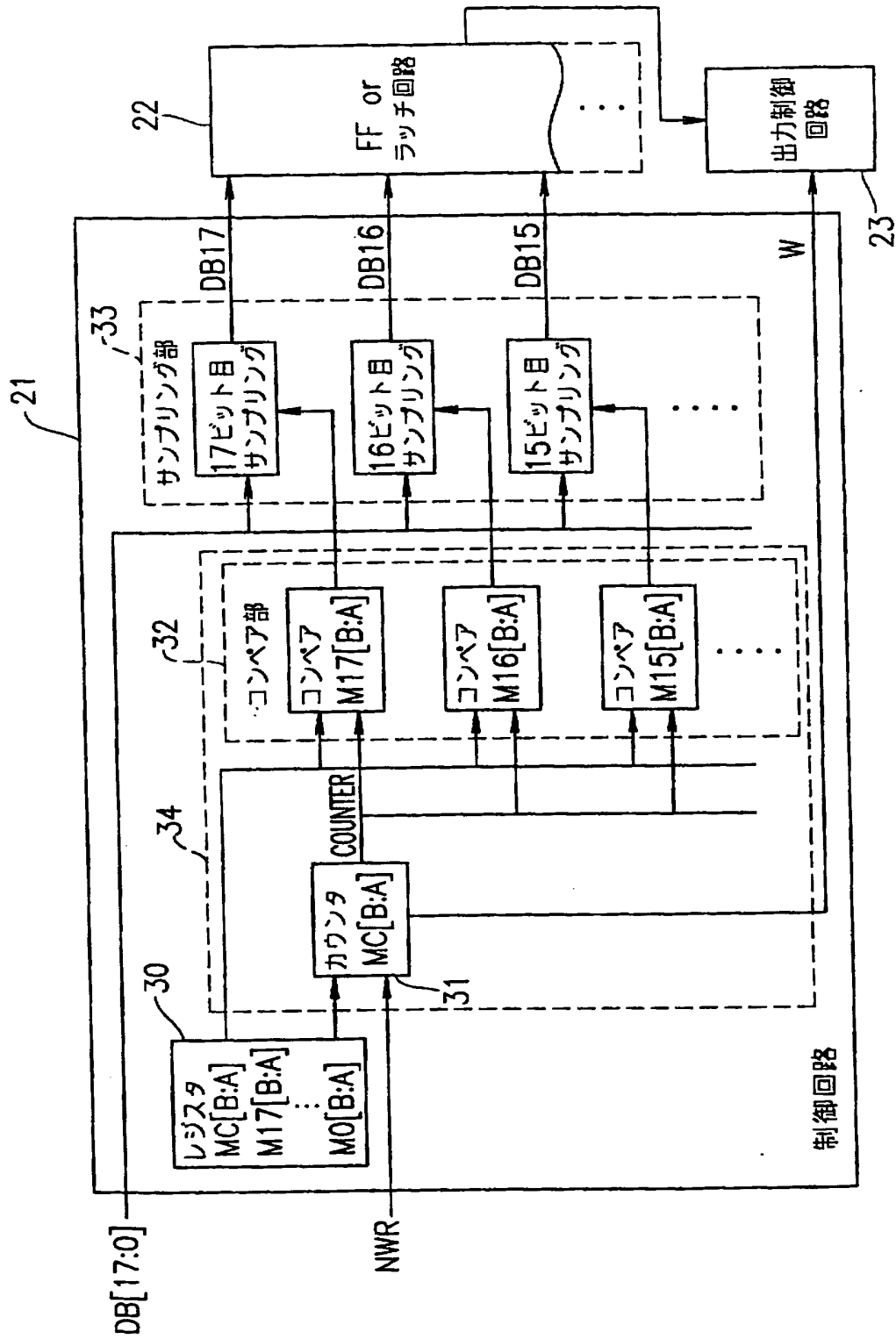
【図 1】



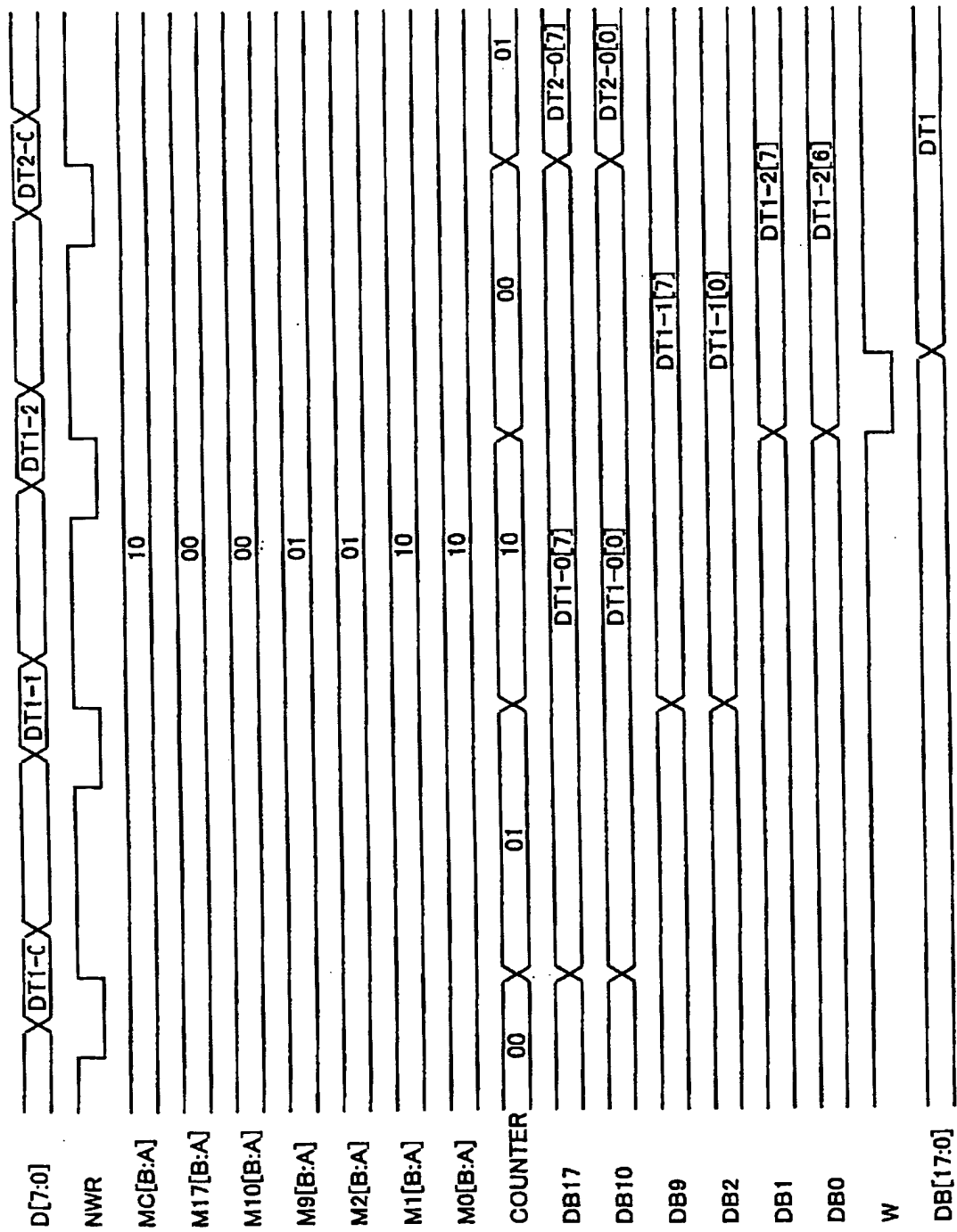
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 データバス幅のリサイズ（変更）が任意に設定できる。

【解決手段】 複数の分割に対応したデータ伝送回数を設定可能とするとともに、何回目のデータ伝送かを示すデータ伝送回数に対応した分割ビットグループを設定可能とするレジスタブロック 3 0 と、レジスタブロック 3 0 からのデータ伝送回数を所定のタイミングで初期値から最大データ伝送回数まで繰り返して出力し、出力されたデータ伝送回数と、レジスタブロック 3 0 からの分割ビットグループ毎のデータ伝送回数とを比較して、両者が一致した場合に、サンプリング制御信号を出力するサンプリング制御信号発生手段 3 4 と、サンプリング制御信号により N ビット幅のデータを分割ビットグループ毎にそれぞれサンプリングするサンプリング部 3 3 と、データサンプリング手段からの分割ビットグループ毎のデータを連続した N ビット幅データに変換し出力する出力制御回路 2 3 と、を有する。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2002-278208
受付番号	50201427181
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 9月25日

<認定情報・付加情報>

【特許出願人】

【識別番号】

000005049

【住所又は居所】

大阪府大阪市阿倍野区長池町22番22号

【氏名又は名称】

シャープ株式会社

【代理人】

申請人

【識別番号】

100078282

【住所又は居所】

大阪府大阪市中央区城見1丁目2番27号 クリスタル  
タワー15階

【氏名又は名称】

山本 秀策

【選任した代理人】

【識別番号】

100062409

【住所又は居所】

大阪府大阪市中央区城見1丁目2番27号 クリ  
スタルタワー15階 山本秀策特許事務所

【氏名又は名称】

安村 高明

【選任した代理人】

【識別番号】

100107489

【住所又は居所】

大阪府大阪市中央区城見一丁目2番27号 クリスタル  
タワー15階 山本秀策特許事務所

【氏名又は名称】

大塩 竹志

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社